

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-92820

(P2000-92820A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl.⁷

識別記号

F I

テマコード (参考)

H 0 2 M 1/08

H 0 2 M 1/08

A 5 H 7 4 0

H 0 3 K 17/12

H 0 3 K 17/12

5 J 0 5 5

17/693

17/693

E

審査請求 未請求 請求項の数12 O L (全 20 頁)

(21) 出願番号

特願平10-257944

(22) 出願日

平成10年9月11日 (1998.9.11)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 ゴーラブ マジウムダール

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 ハリッド ハッサン フッセイン

福岡県福岡市西区今宿東一丁目1番1号

福菱セミコンエンジニアリング株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

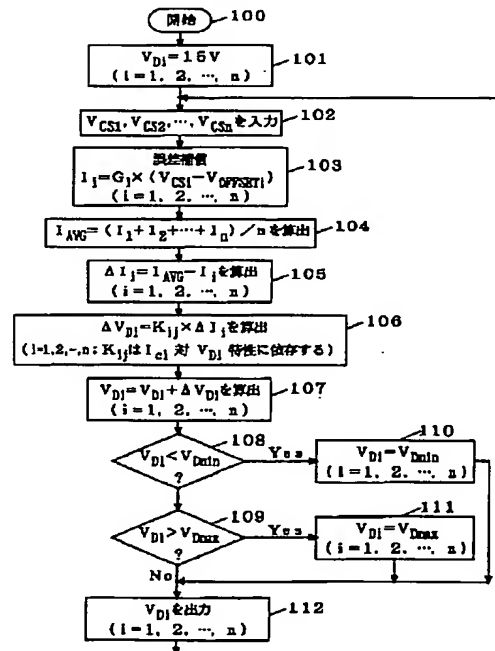
最終頁に続く

(54) 【発明の名称】 駆動制御装置、モジュール、および、複合モジュール

(57) 【要約】

【課題】 並列接続されたスイッチング素子の電流不均衡を高精度で解消する。

【解決手段】 並列接続された n (≥ 2) 個の IGBT の主電流の検出値である電流センス電圧 $V_{CS1} \sim V_{CSn}$ が、デジタル形式へ変換された後に、演算処理に供される。電流センス電圧 $V_{CS1} \sim V_{CSn}$ が、定数 $G_1 \sim G_n$ 、 $V_{OFFSET1} \sim V_{OFFSETn}$ を用いて、コレクタ電流 $I_1 \sim I_n$ へと換算された (ステップ 103) 後に、コレクタ電流 $I_1 \sim I_n$ の平均値 I_{AVG} からの偏差 $\Delta I_1 \sim \Delta I_n$ が算出される (ステップ 104、105)。偏差 $\Delta I_1 \sim \Delta I_n$ に、係数 K_{ij} を乗じて得られる変化量 $\Delta V_{D1} \sim \Delta V_{Dn}$ だけ、駆動制御電圧 $V_{D1} \sim V_{Dn}$ が更新される (ステップ 106、107)。駆動制御電圧 $V_{D1} \sim V_{Dn}$ は、アナログ形式へ変換された後、ゲート電圧 V_{GR} として n 個の IGBT へ供給される。定数 $G_1 \sim G_n$ 、 $V_{OFFSET1} \sim V_{OFFSETn}$ 、 K_{ij} は、 n 個のスイッチング素子の各々に、個別に作成される。



【特許請求の範囲】

【請求項1】 並列接続された n (≥ 2) 個のスイッチング素子に接続して使用され、前記 n 個のスイッチング素子の n 個の主電流の検出値である n 個の電流検出信号にもとづいて、前記 n 個の主電流の大きさをそれぞれ制御する n 個の制御信号を反復的に更新して、前記 n 個のスイッチング素子へと供給する駆動制御装置において、前記 n 個の電流検出信号を、アナログ形式からデジタル形式へと変換するA/D変換部と、デジタル形式の前記 n 個の電流検出信号にもとづいて、デジタル演算処理を実行することにより、前記 n 個の制御信号を算出する演算部と、前記演算部で算出された前記 n 個の制御信号を、デジタル形式からアナログ形式へと変換するD/A変換部と、を備え、前記演算部は、デジタル形式の前記 n 個の電流検出信号を前記 n 個の主電流へと、それぞれ換算する電流算出部と、前記電流算出部で換算された前記 n 個の主電流の平均値を算出し、前記 n 個の主電流の前記平均値からの差である n 個の電流偏差を算出する電流偏差算出部と、前記 n 個の電流偏差の各々が縮小する方向に前記 n 個の制御信号を更新する制御信号算出部と、を備える駆動制御装置。

【請求項2】 請求項1に記載の駆動制御装置において、前記 n 個の電流検出信号と前記 n 個の主電流とのそれぞれの間の関係を、前記 n 個のスイッチング素子の各々ごとに個別に規定する較正データを、格納可能な較正データ記憶部を、さらに備え、前記電流算出部は、前記較正データ記憶部に格納される前記較正データにもとづいて、前記 n 個の電流検出信号を前記 n 個の主電流へと換算する駆動制御装置。

【請求項3】 請求項2に記載の駆動制御装置において、前記演算部は、前記 n 個のスイッチング素子の各々に対して、与えられた k (≥ 1) 個の主電流に対する k 個の電流検出信号にもとづいて、前記較正データを作成し、前記較正データ記憶部へと格納する電流較正部を、さらに備える駆動制御装置。

【請求項4】 請求項1ないし請求項3のいずれかに記載の駆動制御装置において、前記制御信号算出部は、前記 n 個の電流偏差に、それぞれ比例した量だけ変化するように、前記 n 個の制御信号を更新する駆動制御装置。

【請求項5】 請求項4に記載の駆動制御装置において、前記 n 個の電流偏差と前記 n 個の制御信号の変化量とのそれぞれの間の比例関係を、前記 n 個のスイッチング素子の各々ごとに個別に規定する変換データを、格納可能な変換データ記憶部を、さらに備え、前記制御信号算出部は、前記変換データ記憶部に格納される前記変換データにもとづいて、前記 n 個の電流偏差に、それぞれ比例した量だけ変化するように、前記 n 個の制御信号を更新する駆動制御装置。

子の各々ごとに個別に規定する変換データを、格納可能な変換データ記憶部を、さらに備え、前記制御信号算出部は、前記変換データ記憶部に格納される前記変換データにもとづいて、前記 n 個の電流偏差に、それぞれ比例した量だけ変化するように、前記 n 個の制御信号を更新する駆動制御装置。

【請求項6】 請求項5に記載の駆動制御装置において、前記演算部は、前記 n 個のスイッチング素子に共通に付与される飽和電圧の下で、前記 n 個のスイッチング素子の各々について、 m (≥ 2) 個の制御信号を出力し、その結果前記電流算出部によって得られた m 個の主電流と、出力した前記 m 個の制御信号とにもとづいて、主電流と制御信号の間の変化率として、前記変換データを作成し、前記変換データ記憶部へと格納する変換データ算出部を、さらに備える駆動制御装置。

【請求項7】 請求項6に記載の駆動制御装置において、前記変換データ記憶部は、前記 n 個のスイッチング素子が動作中に取得する最大の飽和電圧の下で、前記変換データ算出部によって作成された前記変換データを格納している駆動制御装置。

【請求項8】 請求項1ないし請求項7のいずれかに記載の駆動制御装置において、前記演算部が、プログラムにもとづいて動作するCPUと、前記プログラムを格納するメモリとを備え、前記演算部に含まれる各部は、前記CPUと前記メモリとによって、等価的に構成される駆動制御装置。

【請求項9】 請求項1ないし請求項8のいずれかに記載の駆動制御装置と、前記 n 個のスイッチング素子の一つとしての主素子と、当該主素子主電流を検出し電流検出信号を出力する電流検出部と、を備え、前記駆動制御装置には、前記 n 個の電流検出信号の一つとして、前記電流検出部が出力する前記電流検出信号が入力され、前記駆動制御装置は、前記 n 個の制御信号の一つを、前記主素子へ供給するモジュール。

【請求項10】 請求項1ないし請求項8のいずれかに記載の駆動制御装置と、前記 n 個のスイッチング素子と、これら n 個のスイッチング素子の n 個の主電流を、それぞれ検出することにより、前記 n 個の電流検出信号を得て、前記駆動制御装置へと供給する n 個の電流検出部と、を備え、前記駆動制御装置は、前記 n 個の制御信号を、前記 n 個のスイッチング素子へ、それぞれ供給する複合モジュール。

【請求項11】 請求項10に記載の複合モジュールに

において、

前記n個のスイッチング素子と、前記n個の電流検出部とが、n個のケースの中に、それぞれ、個別に組み込まれており、

前記n個の電流検出部の各々は、前記n個のスイッチング素子の中で、同一のケースに組み込まれたスイッチング素子の主電流を検出する複合モジュール。

【請求項12】 請求項11に記載の複合モジュールにおいて、

前記n個のケースの中の一つに、前記駆動制御装置が、さらに組み込まれている複合モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、インバータ等の電力変換機器への応用に最適な並列接続されたスイッチング素子における主電流の不均一を解消するための駆動制御装置、並びに、この駆動制御装置が組み込まれたモジュールおよび複合モジュールに関し、特に、主電流の不均一を解消する制御を高い精度で実現するための改良に関する。

【0002】

【従来の技術】インバータ、チョッパ、あるいは、コンバータ等の電力変換機器の構成要素として、パワーIGBT、パワーMOSトランジスタ、あるいは、パワーMOSトランジスタ等のパワースイッチング素子が、広く使用されている。これらの電力変換機器に代表される応用機器において、特に高い定格電流が要求される場合には、同一に設計された複数のパワースイッチング素子が、互いに並列に接続して使用されるのが、通例である。

【0003】このように並列に接続される複数のパワースイッチング素子の間では、主電流の大きさが均一に保たれる必要がある。なぜなら、主電流の均一性が損なわれると、特定のパワースイッチング素子に、負担が集中するために、応用機器の信頼性が低下するからである。しかしながら、複数のパワースイッチング素子の間では、それらが同一に設計された素子であっても、電気的特性上の不均一が存在するのが通例である。この不均一は、素子の製造工程の中で不可避免的に発生する寄生的な誤差に由来する。

【0004】並列接続される複数のパワースイッチング素子の間では、様々な特性上の不均一の中で、主電極間の飽和電圧（例えば、IGBTおよびバイポーラトランジスタでは、コレクタ・エミッタ間飽和電圧 $V_{CE(sat)}$ ）における不均一が、最も重要である。なぜなら、並列接続された素子の主電極間の電圧が、最も高い飽和電圧を有する素子によって規定されるので、より低い飽和電圧を有する素子が、飽和電圧を高めようとして、より大きな電流を負担するからである。

【0005】このように、並列接続された複数のパワースイッチング素子は、通常において、不均一に配分され

た電流を負担するので、より高い電流を流す素子ほど、より高い電流ストレスを被ることとなる。その結果、並列接続された素子の全体の信頼性、あるいは、応用機器の信頼性が、弱められることになる。

【0006】主電流の不均一（すなわち、電流不均衡）の問題は、負の温度係数を有するパワースイッチング素子に対しては、より重要である。なぜなら、負の温度係数を有する素子では、より大きな主電流が流れることによって素子の温度が上昇すると、それとともなって、素子の飽和電圧が減少するからである。飽和電圧が減少すると、さらに大きな主電流が流れることとなる。この循環が繰り返されることによって、特定の素子へ過大な負担が加わり、応用機器の信頼性が低められることになる。

【0007】並列に接続されたパワースイッチング素子のそれぞれを流れる主電流の間の不均一性（アンバランス）を解消することを目的とした従来の技術として、二つのアプローチが知られる。第1は、受動的なアプローチである。この従来技術では、同一ないし非常に似通った電気的特性を有するパワースイッチング素子が、並列接続すべき素子として選択される。すなわち、特性上のばらつきが最小となるように、パワースイッチング素子が取捨選択（screening：スクリーニング）される。

【0008】第2は、能動的なアプローチである。この従来技術は、特開平8-213890号公報に開示されるように、主電流の不均一を抑えるように、主電流がフィードバック制御される。すなわち、各パワースイッチング素子を流れる主電流の大きさが、電流検出回路によって検出され、検出された主電流の不均一を減殺するように、制御信号が各パワースイッチング素子の制御電極へと送られる。このフィードバック制御は、アナログ回路素子で構成される制御回路によって実行される。

【0009】

【発明が解決しようとする課題】第1のアプローチでは、使用対象とされるパワースイッチング素子に、制限が加えられる。すなわち、取捨選択の結果、使用に供されない素子が出現する。このため、素子の製造において、無駄が発生するという問題点があった。しかも、取捨選択を行っても、なお、電流不均衡の問題は、完全には解消されないという問題点があった。なぜなら、通例において、同一の電気的特性を有するパワースイッチング素子を見出すことは、容易ではないからである。

【0010】一方、第2のアプローチでは、主電流を均一化するためのフィードバック制御が行われるので、電気的特性が揃うようにパワースイッチング素子を取捨選択する必要はない。しかしながら、フィードバック制御を行う制御回路が、アナログ回路として構成されているために、電流不均衡を高い精度で解消することが困難であるという問題点があった。特に、様々な特性上の不均一に対して、これらの影響を排除して電流不均衡を解消

する上で、柔軟性ある対応が困難であるという問題点があった。

【0011】例えば、複数のパワースイッチング素子にそれぞれ接続される複数の電流検出回路の間においても、これらの電流検出回路を構成する回路要素の特性には、製造工程の中で、不可避的な不均一が生み出されるのが通例である。この不均一は、並列に接続されたパワースイッチング素子の間で、主電流の不均一の度合いを誤って検出する源となり得る。アナログ回路では、主電流に関する誤った検出の影響を回避することは困難である。このため、第2のアプローチでは、主電流の不均一の問題を解決するよりも、むしろ、問題を生み出すという、誤ったフィードバック制御が行われる場合も起こり得た。

【0012】また、電流検出回路だけでなく、パワースイッチング素子そのものの入出力特性（例えば、IGBTでは、ゲート電圧 V_{GE} 対コレクタ電流 I_C の関係）、パワースイッチング素子の駆動回路の特性、並列接続される複数のパワースイッチング素子と制御回路とを接続する配線のレイアウト、および、制御回路自身を構成する回路素子の特性などにも、同様に、一般に、不均一が存在している。そして、アナログ回路として構成される制御回路では、これらの不均一をも考慮して電流不均衡の解消を図るという、柔軟で精度の高い制御を実現することが困難であるという問題点があった。

【0013】この発明は、従来の技術における上記した問題点を解消するためになされたもので、並列接続されたスイッチング素子の電流不均衡を精度良く解消し、特に、電流検出回路等をも含む様々な特性上の不均一をも考慮した柔軟性の高い制御を行い得る駆動制御装置を得ることを目的としており、さらに、この駆動制御装置が組み込まれたモジュールおよび複合モジュールを提供することを目的とする。

【0014】

【課題を解決するための手段】第1の発明の装置は、並列接続された n (≥ 2) 個のスイッチング素子に接続して使用され、前記 n 個のスイッチング素子の n 個の主電流の検出値である n 個の電流検出信号にもとづいて、前記 n 個の主電流の大きさをそれぞれ制御する n 個の制御信号を反復的に更新して、前記 n 個のスイッチング素子へと供給する駆動制御装置において、前記 n 個の電流検出信号を、アナログ形式からデジタル形式へと変換するA/D変換部と、デジタル形式の前記 n 個の電流検出信号にもとづいて、デジタル演算処理を実行することにより、前記 n 個の制御信号を算出する演算部と、前記演算部で換算された前記 n 個の制御信号を、デジタル形式からアナログ形式へと変換するD/A変換部と、を備えている。そして、前記演算部は、デジタル形式の前記 n 個の電流検出信号を前記 n 個の主電流へと、それぞれ換算する電流算出部と、前記電流算出部で算出された前記 n

個の主電流の平均値を算出し、前記 n 個の主電流の前記平均値からの差である n 個の電流偏差を算出する電流偏差算出部と、前記 n 個の電流偏差の各々が縮小する方向に前記 n 個の制御信号を更新する制御信号算出部と、を備えている。

【0015】第2の発明の装置は、第1の発明の駆動制御装置において、前記 n 個の電流検出信号と前記 n 個の主電流とのそれぞれの間の関係を、前記 n 個のスイッチング素子の各々ごとに個別に規定する較正データを、格納可能な較正データ記憶部を、さらに備え、前記電流算出部が、前記較正データ記憶部に格納される前記較正データにもとづいて、前記 n 個の電流検出信号を前記 n 個の主電流へと換算する。

【0016】第3の発明の装置は、第2の発明の駆動制御装置において、前記演算部が、前記 n 個のスイッチング素子の各々に対して、与えられた k (≥ 1) 個の主電流に対する k 個の電流検出信号にもとづいて、前記較正データを作成し、前記較正データ記憶部へと格納する電流較正部を、さらに備えている。

【0017】第4の発明の装置は、第1ないし第3のいずれかの発明の駆動制御装置において、前記制御信号算出部は、前記 n 個の電流偏差に、それぞれ比例した量だけ変化するように、前記 n 個の制御信号を更新する。

【0018】第5の発明の装置は、第4の発明の駆動制御装置において、前記 n 個の電流偏差と前記 n 個の制御信号の変化量とのそれぞれの間の比例関係を、前記 n 個のスイッチング素子の各々ごとに個別に規定する変換データを、格納可能な変換データ記憶部を、さらに備え、前記制御信号算出部が、前記変換データ記憶部に格納される前記変換データにもとづいて、前記 n 個の電流偏差に、それぞれ比例した量だけ変化するように、前記 n 個の制御信号を更新する。

【0019】第6の発明の装置は、第5の発明の駆動制御装置において、前記演算部が、前記 n 個のスイッチング素子に共通に付与される飽和電圧の下で、前記 n 個のスイッチング素子の各々について、 m (≥ 2) 個の制御信号を出力し、その結果前記電流算出部によって得られた m 個の主電流と、出力した前記 m 個の制御信号とにもとづいて、主電流と制御信号の間の変化率として、前記変換データを作成し、前記変換データ記憶部へと格納する変換データ算出部を、さらに備えている。

【0020】第7の発明の装置は、第6の発明の駆動制御装置において、前記変換データ記憶部が、前記 n 個のスイッチング素子が動作中に取り得る最大の飽和電圧の下で、前記変換データ算出部によって作成された前記変換データを格納している。

【0021】第8の発明の装置は、第1ないし第7のいずれかの発明の駆動制御装置において、前記演算部が、プログラムにもとづいて動作するCPUと、前記プログラムを格納するメモリとを備え、前記演算部に含まれる

各部は、前記CPUと前記メモリとによって、等価的に構成されている。

【0022】第9の発明の装置は、モジュールであって、第1ないし第8のいずれかの発明の駆動制御装置と、前記 n 個のスイッチング素子の一つとしての主素子と、当該主素子の主電流を検出し電流検出信号を出力する電流検出部と、を備えており、前記駆動制御装置には、前記 n 個の電流検出信号の一つとして、前記電流検出部が出力する前記電流検出信号が入力され、前記駆動制御装置が、前記 n 個の制御信号の一つを、前記主素子へ供給する。

【0023】第10の発明の装置は、複合モジュールであって、第1ないし第8のいずれかの発明の駆動制御装置と、前記 n 個のスイッチング素子と、これら n 個のスイッチング素子の n 個の主電流を、それぞれ検出することにより、前記 n 個の電流検出信号を得て、前記駆動制御装置へと供給する n 個の電流検出部と、を備えており、前記駆動制御装置が、前記 n 個の制御信号を、前記 n 個のスイッチング素子へ、それぞれ供給する。

【0024】第11の発明の装置は、第10の発明の複合モジュールにおいて、前記 n 個のスイッチング素子と、前記 n 個の電流検出部とが、 n 個のケースの中に、それぞれ、個別に組み込まれており、前記 n 個の電流検出部の各々が、前記 n 個のスイッチング素子の中で、同一のケースに組み込まれたスイッチング素子の主電流を検出する。

【0025】第12の発明の装置は、第11の発明の複合モジュールにおいて、前記 n 個のケースの中の一つに、前記駆動制御装置が、さらに組み込まれている。

【0026】

【発明の実施の形態】<1.実施の形態1>はじめに、実施の形態1の駆動制御装置、モジュール、および、複合モジュールについて説明する。

【0027】<1-1.概略構成>図1は、実施の形態1の複合モジュールの全体構成を示すブロック図である。この複合モジュール250は、モジュール60₁~60_n ($n \geq 2$)を備えている。モジュール60₁~60_nには、それぞれ、スイッチング素子80₁~80_n、電流検出部90₁~90_n、駆動部70₁~70_n、および、電流検出信号増幅部91₁~91_nが備わっている。

【0028】また、モジュール60₁~60_nには、単一の主モジュール60₁と、少なくとも1個の副モジュール60₂~60_nとが含まれている。主モジュール60₁には、駆動制御装置50が、さらに備わっている。このように、この明細書における「モジュール」とは、主電流をスイッチングするスイッチング素子と、この素子に接続された周辺回路とを含む複数の要素が、単一の装置として取り扱いが可能なように、組み込まれて成る装置を意味する。そして、「複合モジュール」とは、複数のモジュールが互いに接続されることによって、形作られ

る装置を意味する。

【0029】図示を略するが、モジュール60₁~60_nの各々では、好ましくは、スイッチング素子を含む複数の回路素子が、回路基板に搭載され、この回路基板が単一のケースに収納され、さらに、回路基板には複数の外部端子が接続され、ケースの外部にこれらの外部端子の端部が露出している。それによって、モジュール60₁~60_nの各々は、単一の装置としての取り扱いが可能となっている。

【0030】モジュール60₁~60_nの各々のケースから露出する外部端子に、配線を接続することによって、モジュール60₁~60_nの間の接続、および、モジュール60₁~60_nと外部の装置との接続が実現される。図1では、モジュール60₁~60_nをそれぞれ表現する枠に沿って並んでいる「白丸」符号が、これらの外部端子を表現している。

【0031】スイッチング素子80₁~80_nの各々は、一般には、制御電極へ入力される信号にตอบสนองして、一対の主電極を通じて流れる主電流の大きさを制御する半導体素子であるが、好ましくは、パワーIGBT、パワーバイポーラトランジスタ、および、パワーMOSFETなどのパワー（電力用）スイッチング素子である。中でも、パワーIGBTは、導通（オン）状態での一対の主電極間の電圧である飽和電圧 $V_{CE(sat)}$ が低く、しかも、制御が容易な電圧制御型であるという利点を有している。このため、以下の説明では、スイッチング素子80₁~80_nの各々が、パワーIGBTである例を取り上げる。

【0032】パワーIGBTであるスイッチング素子80₁~80_nの間で、一対の主電極（すなわち、コレクタ電極とエミッタ電極）は、互いに接続されている。すなわち、 n 個のコレクタ電極は、モジュール60₁~60_nに備わる負荷端子 V_L を通じて、互いに共通に接続されている。また、 n 個のエミッタ電極は、モジュール60₁~60_nに備わる負荷端子 V_L を通じて、互いに共通に接続されている。負荷端子 V_L および負荷端子 V_L は、外部の電源および負荷を接続するための端子である。このようにして、スイッチング素子80₁~80_nは、互いに並列に接続されている。

【0033】モジュール60₁~60_nには共通に、電圧信号としての入力信号VINが、外部から入力される。スイッチング素子80₁~80_nは、この入力信号VINにตอบสนองして、互いに同時に、オン（導通）およびオフ（遮断）する。すなわち、スイッチング素子80₁~80_nは全体として、あたかも単一のパワーIGBTであるかのように動作する。

【0034】スイッチング素子80₁~80_nの制御電極（すなわち、ゲート電極）は、それぞれ、駆動部70₁~70_nを通じて、互いに接続されている。したがって、入力信号VINは、駆動部70₁~70_nを通じて、ある種の変換を受けた上で、それぞれ、スイッチング素子

$80_1 \sim 80_n$ のゲート電極へ入力される。駆動部 $70_1 \sim 70_n$ は、入力信号VINを変換する際に、スイッチング素子 $80_1 \sim 80_n$ をオンさせるためのゲート電圧（エミッタ電極を基準としたゲート電極の電位）の高さを、駆動制御装置50から送られる駆動制御電圧（制御信号） $V_{D1} \sim V_{Dn}$ にもとづいて、調節する。

【0035】駆動制御装置50は、スイッチング素子 $80_1 \sim 80_n$ のそれぞれの主電流（すなわち、コレクタ電流）の大きさを表現する電流センス電圧（電流検出信号） $V_{CS1} \sim V_{CSn}$ にもとづいて、これらのコレクタ電流の間の不均一を減殺するように、駆動制御電圧 $V_{D1} \sim V_{Dn}$ を算出する。すなわち、駆動制御装置50は、並列接続されたスイッチング素子 $80_1 \sim 80_n$ の間での電流不均衡を解消するように、スイッチング素子 $80_1 \sim 80_n$ の主電流を、フィードバック制御する装置である。後述するように、駆動制御装置50は、デジタル信号処理を通じて、フィードバック制御を実行する。

【0036】スイッチング素子 $80_1 \sim 80_n$ のエミッタ電極へ、それぞれ、接続された電流検出部 $90_1 \sim 90_n$ によって、スイッチング素子 $80_1 \sim 80_n$ のコレクタ電流が、それぞれ、検出される。その結果、電流検出部 $90_1 \sim 90_n$ から、コレクタ電流の検出値としての電流センス電圧 $V_{CS1} \sim V_{CSn}$ が生成される。電流センス電圧 $V_{CS1} \sim V_{CSn}$ は、電流検出信号増幅部 $91_1 \sim 91_n$ で増幅された後に、駆動制御装置50へと伝送される。

【0037】モジュール $60_1 \sim 60_n$ の各々に備わる複数の外部端子の中には、電源電圧の供給を受けるための正極電源端子 V_{DD} および負極電源端子COMが含まれる。駆動制御装置50および電流検出信号増幅部 $91_1 \sim 91_n$ には、これらの電源端子を通じて電源電圧が供給される。また、モジュール $60_1 \sim 60_n$ には、各要素を互いに接続するための配線が配設されている。

【0038】例えば、配線 $74_1 \sim 74_n$ は、それぞれ、駆動部 $70_1 \sim 70_n$ と、スイッチング素子 $80_1 \sim 80_n$ のゲート電極とを接続する。配線 $75_1 \sim 75_n$ は、それぞれ、駆動部 $70_1 \sim 70_n$ と、スイッチング素子 $80_1 \sim 80_n$ のエミッタ電極とを接続する。また、配線 $99_1 \sim 99_n$ は、それぞれ、電流検出部 $90_1 \sim 90_n$ と、電流検出信号増幅部 $91_1 \sim 91_n$ とを接続する。

【0039】＜1-2.各要素の構成＞図2は、駆動制御装置50の内部構成を示すブロック図である。駆動制御装置50には、信号処理部51、記憶部56、および、出力増幅部55が備わっている。また、信号処理部51には、A/D変換部52、演算部53、および、D/A変換部54が備わっている。さらに、出力増幅部55には、バッファ $55_1 \sim 55_n$ が備わっている。

【0040】記憶部56は、電源なしで記憶内容を保持できる半導体メモリ、例えば、ROM、および、電池でバックアップされたスタティックRAMで構成されるのが望ましい。特に望ましくは、書き込みが容易で、バツ

クアップ電池が不要な、EPROMが用いられる。A/D変換部52およびD/A変換部54には、周知のA/DコンバータおよびD/Aコンバータが、それぞれ、利用可能である。

【0041】信号処理部51は、電流センス電圧 $V_{CS1} \sim V_{CSn}$ を受信し、これに処理を施すことによって、駆動制御電圧 $V_{D1} \sim V_{Dn}$ を算出する。信号処理部51へ入力されたアナログ形式の電流センス電圧 $V_{CS1} \sim V_{CSn}$ は、A/D変換部52で、デジタル形式の信号へと変換される。演算部53は、デジタル形式の電流センス電圧 $V_{CS1} \sim V_{CSn}$ に対して、所定のデジタル演算処理を実行することによって、デジタル形式の駆動制御電圧 $V_{D1} \sim V_{Dn}$ を、算出する。演算部53は、演算処理を実行する際に、記憶部56をアクセスする。デジタル形式の駆動制御電圧 $V_{D1} \sim V_{Dn}$ は、D/A変換部54によって、アナログ形式の信号へと変換される。

【0042】出力増幅部55は、信号処理部51で算出された駆動制御電圧 $V_{D1} \sim V_{Dn}$ を増幅する。すなわち、出力増幅部55へ入力されるアナログ形式の駆動制御電圧 $V_{D1} \sim V_{Dn}$ は、バッファ $55_1 \sim 55_n$ によって、それぞれ増幅される。増幅された駆動制御電圧 $V_{D1} \sim V_{Dn}$ は、それぞれ、駆動部 $70_1 \sim 70_n$ へと伝送される。

【0043】図3は、駆動部 $70_1 \sim 70_n$ を代表して、駆動部 70_1 の内部構成を示す回路図である。他の駆動部 $70_2 \sim 70_n$ も、この駆動部 70_1 と同一に構成される。駆動部 70_1 には、直列に接続されたpチャネル型のMOSFET71とnチャネル型のMOSFET72で構成されるインバータが備わる。MOSFET72のソース電極は配線 75_1 へと接続され、MOSFET71のソース電極には駆動制御電圧 V_{D1} が入力される。インバータの入力、すなわち、互いに共通に接続されたMOSFET71、72のゲート電極には、入力信号VINが入力される。インバータの出力、すなわち、互いに接続されたMOSFET71、72のドレイン電極には、抵抗素子Rgを通じて、配線 74_1 へと接続されている。

【0044】したがって、駆動部 70_1 へ入力された入力信号VINは、信号レベル（ハイレベルまたはローレベル）が反転された上で、配線 74_1 へと出力される。しかも、駆動制御電圧 V_{D1} が、インバータの電源電圧として、駆動部 70_1 へ供給されているので、配線 74_1 へ出力されるハイレベルの信号の電圧の高さは、駆動制御電圧 V_{D1} に一致する。

【0045】配線 74_1 へ出力される信号は、スイッチング素子 80_1 のゲート電圧（制御信号） V_{Gg} となる。ハイレベルの信号が出力されると、スイッチング素子 80_1 はオンし、ローレベルの信号が出力されると、スイッチング素子 80_1 はオフする。したがって、スイッチング素子 80_1 をオンするためのゲート電圧 V_{Gg} は、駆動制御電圧 V_{D1} に一致する。

【0046】したがって、スイッチング素子 80_1 がオ

ンしたときにスイッチング素子 80_1 を流れるコレクタ電流の大きさが、駆動制御電圧 V_{D1} の高さによって調節される。駆動制御電圧 V_{D1} が高いほど、コレクタ電流は大きくなる。このように、駆動制御装置50は、駆動部 $70_1 \sim 70_n$ を通じて、スイッチング素子 $80_1 \sim 80_n$ のゲート電圧を調整し、それによって、スイッチング素子 $80_1 \sim 80_n$ のコレクタ電流の大きさを制御する。

【0047】図4～図6は、電流検出部 $90_1 \sim 90_n$ の3通りの好ましい内部構成を示す回路図である。これらの図は、いずれも、電流検出部 $90_1 \sim 90_n$ を代表して、電流検出部 90_1 を示している。他の電流検出部 $90_2 \sim 90_n$ も、電流検出部 90_1 と同一に構成される。

【0048】図4に示す例では、電流検出部 90_1 は、抵抗素子 R_{sh} を備えている。この抵抗素子 R_{sh} は、スイッチング素子 80_1 のエミッタ電極と負荷端子 V_- との間に介挿されている。このため、抵抗素子 R_{sh} には、スイッチング素子 80_1 のコレクタ電流が流れる。したがって、抵抗素子 R_{sh} には、コレクタ電流に比例した電圧降下が発生する。この電圧降下の高さが、エミッタ電極と抵抗素子 R_{sh} との接続点に接続されている配線 99_1 を通じて、電流センス電圧 V_{CS1} として伝送される。

【0049】図5に示す例でも、電流検出部 90_1 は、抵抗素子 R_{sh} を備えている。ただし、スイッチング素子 80_1 は、マルチエミッタ型の素子であり、コレクタ電流の大部分が流れるエミッタ電極と、微小部分が流れるセンス電極とを備えている。センス電極を流れるセンス電流は、コレクタ電流に比例する。エミッタ電極は、負荷端子 V_- へ接続されている。

【0050】抵抗素子 R_{sh} は、センス電極と、負極電源端子COMへ接続される配線との間に介挿されている。このため、抵抗素子 R_{sh} には、スイッチング素子 80_1 のセンス電流が流れる。したがって、抵抗素子 R_{sh} には、スイッチング素子 80_1 のコレクタ電流に比例した電圧降下が発生する。この電圧降下の高さが、センス電極と抵抗素子 R_{sh} との接続点に接続されている配線 99_1 を通じて、電流センス電圧 V_{CS1} として伝送される。

【0051】図6に示す例では、電流検出部 90_1 は、ホール素子94を備えている。ホール素子94は、スイッチング素子 80_1 のエミッタ電極と負荷端子 V_- とを接続する配線を流れる電流を検出し、電流に比例した電圧信号を、電流センス電圧 V_{CS1} として出力する。電流センス電圧 V_{CS1} は、ホール素子94に接続された配線 99_1 を通じて伝送される。

【0052】図6の例では、ホール素子94が用いられるので、電流検出の精度が高いという利点がある。これに対して、図4および図5の例では、電流検出部 90_1 の製造に要するコストが低廉であり、しかも、サイズを小さくすることができるという利点がある。特に、図5の例では、抵抗素子 R_{sh} を流れる電流が微小であるために、電力損失が低く、しかも、抵抗素子 R_{sh} を低電力の

素子として構成し得るという利点がある。

【0053】図7は、電流検出信号増幅部 $91_1 \sim 91_n$ を代表して、電流検出信号増幅部 91_1 の内部構成を示す回路図である。他の電流検出信号増幅部 $91_2 \sim 91_n$ も、電流検出信号増幅部 91_1 と同一に構成される。電流検出信号増幅部 91_1 には、演算増幅器95、および、抵抗素子 $R1, R2$ が備わっている。抵抗素子 $R1$ は、演算増幅器95の出力と反転入力との間に介挿されることにより、負帰還ループを形成している。抵抗素子 $R2$ は、反転入力と、負極電源端子COMに接続される配線との間に介挿されている。

【0054】このように、電流検出信号増幅部 91_1 は、演算増幅器を用いた周知の非反転増幅器として構成されている。電流検出部 90_1 から出力された電流センス電圧 V_{CS1} は、配線 99_1 を通じて、演算増幅器95の非反転入力へと伝送される。その結果、演算増幅器95の出力から、増幅された電流センス電圧 V_{CS1} が出力される。増幅された電流センス電圧 V_{CS1} は、駆動制御装置50へと伝送される。

【0055】<1-3. 演算部の処理の概略>つぎに、演算部53で実行される演算処理の概略を説明する。図8は、スイッチング素子 $80_1 \sim 80_n$ に用いられるIGBTの出力特性を示すグラフである。すなわち、図8には、様々なゲート電圧 $V_{GE(i)}$ （ここで、 $i = 1 \sim 6$ であり、 $V_{GE(i+1)} > V_{GE(i)}$ である）に対するコレクタ電流 I_C と飽和電圧 $V_{CE(sat)}$ との間の関係が示されている。

【0056】図8が示すように、飽和電圧 $V_{CE(sat)}$ は、コレクタ電流 I_C とゲート電圧 V_{GE} とに、おおよそ比例して変化する。このため、不均一な飽和電圧 $V_{CE(sat)}$ を有し、並列接続されたスイッチング素子 $80_1 \sim 80_n$ に対して、演算部53は、低い飽和電圧 $V_{CE(sat)}$ を有するスイッチング素子（大きなコレクタ電流 I_C が流れる素子）に対しては、駆動制御電圧を低くし、逆に、高い飽和電圧 $V_{CE(sat)}$ を有するスイッチング素子（小さいコレクタ電流 I_C が流れる素子）に対しては、駆動制御電圧を高くすることによって、並列接続されたスイッチング素子の間での電流不均衡を解消する。

【0057】このことは、図9および図10を用いて、さらに説明することができる。図9は、飽和電圧 $V_{CE(sat)}$ が不均一な3個のIGBTの試料#1, #2, #3の出力特性を示している。また、図10は、一定のコレクタ電流 I_C の下での3個の試料#1, #2, #3の入出力特性、すなわち、飽和電圧 $V_{CE(sat)}$ 対ゲート電圧 V_{GE} の関係を示している。

【0058】3個の試料#1, #2, #3が並列に接続されたときには、それらは、図9および図10において、直線 $V-V'$ で描かれるように、同一の $V_{CE(sat)}$ の下で動作する。したがって、もしも、3個の試料#1, #2, #3へ同一のゲート電圧 V_{GE} が供給されるならば、それらには、図

9において動作点a1, b1, および, c1で規定される異なる大きさのコレクタ電流 I_c が流れることとなる。

【0059】すなわち、一定のゲート電圧 V_{GE} の下では、試料#1には I_c (#1)が流れ、試料#2には I_c (#2)が流れ、そして、試料#3には I_c (#3)が流れる。このように、コレクタ電流 I_c が不均一な状態、すなわち、電流不均衡の状態が出現する。その結果、最も大きなコレクタ電流 I_c が流れる試料#3は、高い電流ストレスを被ることとなる。

【0060】一方、図10は、3個の試料#1, #2, #3が、動作点a2, b2, c2で規定される異なる高さのゲート電圧 V_{GE} 、すなわち、 V_{GE} (#1), V_{GE} (#2), V_{GE} (#3)で駆動されるときに、同一の飽和電圧 $V_{CE(sat)}$ の下で、同一のコレクタ電流 I_c が流れ、望ましい電流平衡の状態が達成されることを例示している。演算部53は、このように、適切な V_{GE} (#1), V_{GE} (#2), V_{GE} (#3)を算出することによって、電流平衡を実現する。演算部53で算出され、D/A変換され、さらに出力増幅部55で増幅された後に、駆動制御装置50から出力される駆動制御電圧 $V_{D1} \sim V_{Dn}$ は、スイッチング素子80₁～80_nのゲート電圧 V_{GE} に相当する。

【0061】<1-4. 演算部の処理の詳細>つぎに、演算部53の演算処理について、詳細に説明する。演算部53は、マイクロプロセッサに代表されるCPUと、このCPUの動作を規定するプログラムが格納されたメモリとを、内部に含んでいる。それによって、演算部53は、特徴ある演算処理を実行する。しかしながら、プログラムにもとづいて動作する演算部53の代わりに、プログラムを搭載しないハードウェアで、演算部53を構成することも可能である。

【0062】図11は、演算部53がハードウェアで構成された場合に、その内部構成の特徴部分の望ましい例を示すブロック図である。すなわち、図11は、演算部53の特徴的な機能を等価的に表現する機能図として位置づけられる。図11が示すように、演算部53には、等価的に、電流算出部501、電流偏差算出部502、制御信号算出部503、反復制御部504、電流較正部505、および、交換データ算出部506が備わる。

【0063】電流算出部501は、電流センス電圧 $V_{CS1} \sim V_{CSn}$ にもとづいて、スイッチング素子80₁～80_nのコレクタ電流 $I_1 \sim I_n$ を算出する。このとき、電流算出部501は、記憶部56に含まれる較正データ記憶部507に格納される較正データを参照する。電流センス電圧 $V_{CS1} \sim V_{CSn}$ を、コレクタ電流 $I_1 \sim I_n$ へと換算するための較正データは、複合モジュール250の使用に先だって、電流較正部505によって作成され、較正データ記憶部507へと格納される。

【0064】電流偏差算出部502は、電流算出部501で得られたコレクタ電流 $I_1 \sim I_n$ にもとづいて、電流

偏差 $\Delta I_1 \sim \Delta I_n$ を算出する。電流偏差 $\Delta I_1 \sim \Delta I_n$ は、コレクタ電流 $I_1 \sim I_n$ の平均値からの、コレクタ電流 $I_1 \sim I_n$ の偏差に、それぞれ、相当する。

【0065】制御信号算出部503は、電流偏差算出部502が出力する電流偏差 $\Delta I_1 \sim \Delta I_n$ にもとづいて、これらの電流偏差 $\Delta I_1 \sim \Delta I_n$ を減殺するように、駆動制御電圧 $V_{D1} \sim V_{Dn}$ を算出する。このとき、制御信号算出部503は、記憶部56に含まれる交換データ記憶部508に格納される交換データを参照する。電流偏差 $\Delta I_1 \sim \Delta I_n$ と、駆動制御電圧 $V_{D1} \sim V_{Dn}$ の変化量との間の関係を規定する交換データは、複合モジュール250の使用に先だって、交換データ算出部506によって作成され、交換データ記憶部508へと格納される。

【0066】電流算出部501、電流偏差算出部502、および、制御信号算出部503は、複合モジュール250が使用される際に、演算処理を反復して実行する。反復制御部504は、この反復動作を制御する。

【0067】図12は、演算部53における処理の手順を示すフローチャートである。処理が開始される(ステップ100)と、まず、ステップ101において、駆動制御電圧 $V_{D1} \sim V_{Dn}$ が、共通のデフォルト値(初期値)に設定される。この処理は、制御信号算出部503によって実行される。デフォルト値は、例えば、15Vである。したがって、この段階では、スイッチング素子80₁～80_nのゲート電圧 V_{GE} は、すべて、例えば15Vの値に設定される。

【0068】つぎに、ステップ102において、電流センス電圧 $V_{CS1} \sim V_{CSn}$ が入力される。この電流センス電圧 $V_{CS1} \sim V_{CSn}$ は、n個のゲート電圧 V_{GE} が、デフォルト値で与えられたときのコレクタ電流 $I_1 \sim I_n$ の検出値に相当する。つづいて、ステップ103において、入力された電流センス電圧 $V_{CS1} \sim V_{CSn}$ にもとづいて、コレクタ電流 $I_1 \sim I_n$ が算出される。

【0069】このとき、較正データ記憶部507に記憶される較正データが用いられる。各スイッチング素子80_iに対して、コレクタ電流 I_i と電流センス電圧 V_{CSi} の関係が、図13に示されるように、一次関数(直線関係)で表現されるときには、二つの定数、例えば、オフセット電圧 $V_{OFFSETi}$ と、直線の傾きであるスケール係数 G_i とが、較正データとして選ばれる。後述するように、較正データは、スイッチング素子80₁～80_nの各々に対して、個別に求められている。

【0070】較正データとして、オフセット電圧 $V_{OFFSETi}$ とスケール係数 G_i とが選ばれるときには、コレクタ電流 I_i は、

$$I_i = G_i \times (V_{CSi} - V_{OFFSETi}) \quad \dots (数式1)$$

で与えられる。以上のステップ102および103の演算処理は、電流算出部501によって実行される。

【0071】つぎに、ステップ104において、コレクタ電流 $I_1 \sim I_n$ の平均値である平均電流 I_{AVG} が算出さ

れる。平均電流 I_{AVG} は、単純平均処理、すなわち、
 $I_{AVG} = (I_1 + I_2 + \dots + I_n) / n$ …… (数式2)
 にもとづく演算を通じて算出される。その後、ステップ
 105において、電流偏差 $\Delta I_1 \sim \Delta I_n$ が算出される。
 電流偏差 ΔI_i は、

$$\Delta I_i = I_{AVG} - I_i \quad \dots \text{(数式3)}$$

にもとづいて算出される。以上のステップ104および
 105の演算処理は、電流偏差算出部502によって実
 行される。

【0072】つぎに、ステップ106において、電流偏
 差 $\Delta I_1 \sim \Delta I_n$ にもとづいて、現在値としての駆動制御
 電圧 $V_{D1} \sim V_{Dn}$ に付加すべき駆動制御電圧偏差 $\Delta V_{D1} \sim$
 ΔV_{Dn} が算出される。駆動制御電圧偏差 ΔV_{Di} は、駆動
 制御電圧 V_{Di} の更新すべき値と現在値との差、すなわ
 ち、更新量に相当する。駆動制御電圧偏差 ΔV_{Di} の値
 は、電流偏差 ΔI_i を減殺するような大きさに算出され
 る。

$$V_{Di} \text{ (更新値)} = V_{Di} \text{ (現在値)} + \Delta V_{Di} \quad \dots \text{(数式5)}$$

にもとづいて算出される。

【0075】つぎに、ステップ108～111によっ
 て、更新値としての駆動制御電圧 V_{D1} に対して、所定
 の下限値 V_{Dmin} から所定の上限値 V_{Dmax} までの範囲
 を超えないように、制限が加えられる。すなわち、ステ
 ヱップ107で算出された駆動制御電圧 V_{Di} が下限値 V_{Dmin}
 を超えて小さいときには、駆動制御電圧 V_{Di} は下限
 値 V_{Dmin} へと再設定される。また、ステップ107で算
 出された駆動制御電圧 V_{Di} が上限値 V_{Dmax} を超えて大き
 いときには、駆動制御電圧 V_{Di} は上限値 V_{Dmax} へと再設
 定される。

【0076】つぎに、ステップ112において、最終的
 に確定された更新値としての駆動制御電圧 $V_{D1} \sim V_{Dn}$ が
 出力される。以上のステップ106～111の演算処理
 は、制御信号算出部503によって実行される。ステッ
 プ112が終了すると、演算処理は、ステップ102へ
 と戻る。このようにして、ステップ102～112の処
 理が、反復的に実行される。それにともなわて、電流算
 出部501、電流偏差算出部502、および、制御信号
 算出部503は、それぞれの演算処理を、反復的に実行
 する。これらの装置部における反復的な演算処理のタイ
 ミングは、反復制御部504によって制御される。

【0077】以上に示したように、演算部53は、デジ
 タル信号を処理対象とするので、電流不平衡、特に、並
 列接続されるスイッチング素子の飽和電圧 $V_{CE(sat)}$ の
 不均一に由来する電流不平衡を解消する制御が、高い精
 度で行われ得る。しかも、NPT-IGBT (非パンチスルー型
 のIGBT) などの正の温度係数を持ったスイッチング素
 子、すなわち、温度が高いほど飽和電圧 $V_{CE(sat)}$ が高
 くなりコレクタ電流 I_c が抑えられるという自己制御性
 を持ったスイッチング素子だけでなく、PT-IGBT (パン
 チスルー型のIGBT) などの負の温度係数を持ったスイッ

【0073】このとき、変換データ記憶部508に記憶
 される変換データが用いられる。変換データとして、例
 えば、コレクタ電流 I_c と駆動制御電圧 V_{Di} の間の関係
 を規定する曲線の変化率に相当する乗算係数 K_{ij} が選ば
 れる。後述するように、乗算係数 K_{ij} は、スイッチング
 素子80_i ($i = 1 \sim n$) の各々に対して、個別に求め
 られる。同時に、乗算係数 K_{ij} は、駆動制御電圧 V_{Di} の
 複数の値 V_{Dij} の各々に対しても、個別に求められる。

【0074】したがって、変換データとして乗算係数 K_{ij}
 K_{ij} が選ばれるときには、駆動制御電圧偏差 ΔV_{Di} は、駆
 動制御電圧 V_{Di} の現在値に最も近い値 V_{Dij} に対応する
 乗算係数 K_{ij} を用いて、

$$\Delta V_{Di} = K_{ij} \times \Delta I_i \quad \dots \text{(数式4)}$$

にもとづいて算出される。つづいて、ステップ107に
 おいて、駆動制御電圧 V_{Di} の更新値、すなわち、新たな
 値が、算出される。駆動制御電圧 V_{Di} の更新値は、

チング素子、すなわち、温度が高いほど飽和電圧 $V_{CE(sat)}$
 $V_{CE(sat)}$ が低くなりコレクタ電流 I_c が増加するという特
 性を持ったスイッチング素子に対しても、電流不平衡を
 解消し、特定の素子への過大な負担の集中を回避するこ
 とができる。

【0078】特に、後述するように、較正データおよび
 変換データが、各スイッチング素子80₁～80_nごとに
 個別に準備され、しかも、電流検出部90₁～90_nおよ
 び駆動部70₁～70_nの特性上の不均一、並びに、各モ
 ジュール60₁～60_nに接続される配線の特性上の不均
 一をも考慮した値として準備される。このため、電流不
 平衡を解消するための制御が、さらに高精度で実現す
 る。

【0079】<1-5. 較正データの作成>つぎに、複合モ
 ジュール250の使用 (すなわち、通常動作) に先だっ
 て行われる較正データの作成の手順について説明する。
 較正データを作成する際には、図14の回路図に示すよ
 うに、較正用の外部装置が、モジュール60₁～60_nの
 各々に、順に接続される。図14では、電源251、抵
 抗素子252、および、電流計253が直列に接続され
 た直列回路が、較正用の外部装置として、モジュール6
 0₁の負荷端子V₋と負荷端子V₋との間に接続されてい
 る。

【0080】アクティブレベルの入力信号VINが入力さ
 れると、スイッチング素子80_iはオンする。このと
 き、スイッチング素子80_iのゲート電圧 $V_{GE(i)}$ は、駆
 動制御電圧 V_{Di} に一致する。スイッチング素子80_iに
 は、駆動制御電圧 V_{Di} に応じたコレクタ電流 I_i が流れ
 る。このコレクタ電流 I_i の大きさは、電源251が供
 給する電源電圧 V_{CC} の高さにも依存する。

【0081】電源電圧 V_{CC} を調節することによって、電
 流計253が表示するコレクタ電流 I_i の大きさが、

(一個ないし複数個の) 所定の参照電流 I_{REF} の値に設定される。そのときに得られる電流センス電圧 V_{CSI} にもとづいて、モジュール60_iに関する較正データが、演算部53によって作成され、さらに較正データ記憶部507へと記憶される。同様の手順が、モジュール60₁～60_nのすべてに対して実行される。

【0082】較正データを作成する手順は、図15のフローチャートに、より詳細に示される。ステップ200において、処理が開始されると、較正の対象としてのモジュール60_iが、モジュール60₁に設定される。すなわち、変数 i が、 $i=1$ に設定される。このとき、図14に示した較正用の外部装置は、操作員（通常は、複合モジュール250の製造者側ではなく利用者側に属する操作員）によって、モジュール60_iへと接続される。

【0083】つぎに、ステップ201において、電源251が操作員によって操作されることにより、電源電圧 V_{CC} が0Vに設定される。つづいて、電流センス電圧 V_{CSI} が、演算部53へと入力される（ステップ202）。この電流センス電圧 V_{CSI} は、図13に示したオフセット電圧 $V_{OFFSETi}$ に相当する。その後、演算部53へ入力された電流センス電圧 V_{CSI} は、オフセット電圧 $V_{OFFSETi}$ として、較正データ記憶部507へ格納される（ステップ203）。この処理は、電流較正部505によって実行される。

【0084】つぎに、ステップ204において、電源251が操作員によって操作されることにより、コレクタ電流 I_i が、あらかじめ定められた参照電流 I_{REF} に一致するように、電源電圧 V_{CC} が調節される。つづいて、電流センス電圧 V_{CSI} が、演算部53へと入力される（ステップ205）。この電流センス電圧 V_{CSI} は、図13に示した参照電圧 V_{REFi} に相当する。その後、演算部53へ入力された電流センス電圧 V_{CSI} は、参照電圧 V_{REFi} として、較正データ記憶部507へ格納される（ステップ206）。この処理も、電流較正部505によって実行される。

【0085】つぎに、電流較正部505は、較正データ記憶部507へ格納されているオフセット電圧 $V_{OFFSETi}$ と参照電圧 V_{REFi} と、あらかじめ定められている参照電流 I_{REF} にもとづいて、スケーリング係数 G_i を算出する（ステップ207）。スケーリング係数 G_i は、
$$G_i = I_{REF} / (V_{REFi} - V_{OFFSETi}) \quad \dots\dots (数式6)$$
 にもとづいて算出される。算出されたスケーリング係数 G_i は、電流較正部505によって、較正データ記憶部507へと格納される（ステップ208）。このようにして、較正データ記憶部507には、モジュール60₁に関する較正データとして、オフセット電圧 $V_{OFFSETi}$ と参照電圧 V_{REFi} とが格納される。

【0086】つぎに、ステップ209において、変数 i がモジュール60₁～60_nの個数 n へ一致しているか否

かが判定される。変数 i が個数 n に満たないとき、すなわち、モジュール60₁～60_nのすべてに対して、較正データが得られるには至っていないときには、処理はステップ211へと移行し、変数 i が1だけインクリメントされる。すなわち、つぎの新たなモジュール60_iが、較正の対象とされる。その後、処理は、ステップ201へと戻る。逆に、変数 i が個数 n に一致しているとき、すなわち、モジュール60₁～60_nのすべてに対して、較正データが得られているときには、処理は完了する（ステップ210）。

【0087】以上のように、モジュール60₁～60_nの各々に対して、個別に較正データが得られる。しかも、抵抗素子 R_{sh} の抵抗値の不均一など、電流検出部90₁～90_nにおける特性上の不均一だけでなく、モジュール60₁～60_nに接続される配線のレイアウト等に由来する、これらの配線における特性上の不均一も、較正データの値に反映されている。

【0088】A/D変換部52などの駆動制御装置50の内部の装置部分における誤差も、較正データに反映されている。したがって、このような幅広い不均一や誤差をも考慮して、電流不均衡の解消を図る制御を、高い精度で実行することが可能となる。また、図15のフローチャートに示した例では、2点較正法が用いられている。したがって、オフセット電圧 $V_{OFFSETi}$ も考慮した制御が可能となる。このことも、高い精度での制御に寄与する。

【0089】演算部53が、デジタル信号を処理対象としており、特に、演算部53が、プログラムを格納したメモリと、このプログラムにもとづいて動作するCPUとを備えるために、以上に述べた多種類の不均一や誤差を考慮した制御、および、2点較正法をも用いた複雑な制御が、容易に実現される。すなわち、簡単な構成で、様々な誤差要因に対応した柔軟な制御が、容易に達成される。

【0090】なお、図15のフローチャートには、参照電流 I_{REF} の個数 k が、 $k=2$ である2点較正法を用いた例を示したが、3点以上 ($k \geq 3$) の較正法を用いることも可能である。また、オフセット電圧 $V_{OFFSETi}$ が無視できるほどに低い場合には、1点 ($k=1$) 較正法を用いることも可能である。1点較正法では、例えば、オフセット電圧 $V_{OFFSETi}$ は算出されず、スケーリング係数 G_i のみが較正データとして算出され、較正データ記憶部507へ格納される。

【0091】<1-6. 変換データの作成>つぎに、複合モジュール250の使用に先だって、較正データの作成と並んで行われる変換データの作成の手順について説明する。変換データを作成する際には、図16の回路図に示すように、測定用の外部装置が、モジュール60₁～60_nの各々に、順に接続される。図16では、電源351が、測定用の外部装置として、モジュール60_iの負

荷端子 V_{-} と負荷端子 V_{-} との間に接続されている。

【0092】アクティブレベルの入力信号VINが入力されると、スイッチング素子80_iはオンする。このとき、スイッチング素子80_iのゲート電圧 $V_{GE(i)}$ は、駆動制御電圧 V_{Di} に一致するので、スイッチング素子80_iには、駆動制御電圧 V_{Di} に応じたコレクタ電流 I_i が流れる。このコレクタ電流 I_i の大きさは、電源351が供給する電源電圧 V_{PULSE} の高さにも依存する。なお、電源351は、負荷としての抵抗素子等を介することなく、負荷端子 V_{+} 、 V_{-} へ直接に接続されるので、スイッチング素子80_iへ損傷を与えることのないように、電源電圧 V_{PULSE} をパルス状に発生する。

【0093】電源351が、負荷端子 V_{+} 、 V_{-} へ直接に接続されているので、スイッチング素子80_iがオンしているときには、電源電圧 V_{PULSE} は、飽和電圧 $V_{CE(sat)}$ に一致する。抵抗素子 R_{sh} における電圧降下は、電源電圧 V_{PULSE} に比べると無視できる。電源351を操作することによって、電源電圧 V_{PULSE} が所定の値に設定される。そのときに、様々な駆動制御電圧 V_{Di} の値に対して得られる電流センス電圧 V_{CSi} にもとづいて、モジュール60_iに関する変換データが、演算部53の内部で作成され、変換データ記憶部508へと記憶される。同様の手順が、モジュール60₁～60_nのすべてに対して実行される。

【0094】図17は、スイッチング素子80₁～80_nの一つにおける入出力特性、すなわち、飽和電圧 $V_{CE(sat)}$ を様々に変えたときのゲート電圧 V_{GE} とコレクタ電流 I_c との間の関係を示すグラフである。飽和電圧 $V_{CE(sat)}$ が一定の下では、コレクタ電流 I_c はゲート電圧 V_{GE} とともに増加する。また、同一のゲート電圧 V_{GE} の下では、飽和電圧 $V_{CE(sat)}$ が高いほど、コレクタ電流 I_c は大きくなる。

【0095】コレクタ電流 I_c 対ゲート電圧 V_{GE} の曲線の傾き、すなわち、変化率は、飽和電圧 $V_{CE(sat)}$ が高いほど大きくなる。この変化率の逆数を、乗算係数 K と定義する。したがって、乗算係数 K は、飽和電圧 $V_{CE(sat)}$ が高いほど、小さくなる。図12に示したように、この乗算係数 K が、変換データとして利用される。

【0096】しかしながら、演算部53は、複合モジュール250が使用されているときに、使用条件に応じて時々刻々変化し得る飽和電圧 $V_{CE(sat)}$ の実際値を認識することはできない。すなわち、飽和電圧 $V_{CE(sat)}$ はフィードバックされない。したがって、演算部53は、単一のステップで、すなわち、駆動制御電圧 V_{Di} を一回算出ただけで、電流不均衡を解消することは、一般には不可能である。このため、乗算係数 K として、あらかじめ求められた一定の値が利用され、図12に示したループが幾度も反復されることによって、電流不均衡の解消が達成される。

【0097】モジュール60_iに対する乗算係数 K_i が大

きいと、算出された電流偏差 ΔI_i の値に対して、駆動制御電圧偏差 ΔV_{Di} の値が大きく算出される。その結果、電流偏差 ΔI_i が正および負の方向に、大きく変動する恐れが生じる。このため、乗算係数 K_i の値は、電流偏差 ΔI_i が、符号を逆転することなくゼロへと収束する程度に、小さく抑えられることが望ましい。

【0098】図17のグラフから明らかなように、モジュール60_iが動作可能な範囲で最も高い飽和電圧 $V_{CE(sat)HI}$ の下、例えば、飽和電圧 $V_{CE(sat)}$ の最大定格値の下での乗算係数 K_i を、変換データとして利用するならば、電流偏差 ΔI_i が大きく変動する恐れはなく、しかも、不必要に乗算係数 K_i を小さく設定する恐れもない。すなわち、電流偏差 ΔI_i を滑らかに、かつ、速やかにゼロへと収束させることが可能となる。

【0099】さらに、モジュール60₁～60_nの間で、飽和電圧 $V_{CE(sat)}$ の値が共通であっても、乗算係数 K_i は、必ずしも同一にはならない。したがって、モジュール60₁～60_nの各々について、個別に乗算係数 K_i を算出するのが、さらに望ましい。演算部53は、変換データを、このような最も望ましい方法で算出する。

【0100】変換データを作成する手順は、図18のフローチャートに、より詳細に示される。ステップ300において、処理が開始されると、計算の対象としてのモジュール60_iが、モジュール60₁に設定される。すなわち、変数 i が、 $i=1$ に設定される。このとき、図16に示した電源351は、操作員によって、モジュール60_iへと接続される。さらに、複数の駆動制御電圧 V_{Di} の値を識別する変数 j が初期値"1"へ設定される。

【0101】つぎに、ステップ301において、電源351が操作員によって操作されることにより、電源電圧 V_{PULSE} が、あらかじめ定められた飽和電圧 $V_{CE(sat)HI}$ へと設定される。所定の飽和電圧 $V_{CE(sat)HI}$ は、例えば、スイッチング素子80₁～80_nの飽和電圧 $V_{CE(sat)}$ の最低の定格値に相当する。つづいて、駆動制御電圧 V_{Di} の値が、所定の駆動制御電圧 V_{Dij} の値に設定され（ステップ302）、さらに、D/A変換部54を通じて出力される（ステップ303）。その結果、モジュール60_iのゲート電極には、ゲート電圧 $V_{GE(i)}$ として、駆動制御電圧 V_{Dij} と同一の値が入力される。

【0102】つぎに、駆動制御電圧 V_{Dij} に対応したコレクタ電流 I_i の検出値である電流センス電圧 V_{CSij} が、演算部53へと入力される（ステップ304）。その後、演算部53へ入力された電流センス電圧 V_{CSij} は、電流算出部501によって、コレクタ電流 I_{ij} へと換算される（ステップ305）。このように、電流算出部501は、複合モジュール250の使用の際だけでなく、使用に先だって行われる変換データの作成の際にも、較正データ記憶部507に格納された較正データを用いて、コレクタ電流 I_i の算出を行う。

【0103】つぎに、駆動制御電圧 V_{Dij} とコレクタ電

流 I_{ij} の値が、変換データ記憶部508へと格納される（ステップ306）。この処理は、変換データ算出部506によって実行される。その後、ステップ307において、変数 j が1よりも大きいかが判定される。変数 j が1であるとき、すなわち、変換データ記憶部508に、モジュール60_iに対する駆動制御電圧 V_{bij} とコレクタ電流 I_{ij} の組が、1組しか格納されていないときには、処理は、ステップ310へ移行する。

$$K_{i,j-1} = (V_{bij} - V_{bi,j-1}) / (I_{ij} - I_{i,j-1}) \cdots \cdots \text{(数式7)}$$

が、算出される。その後、算出された乗算係数 $K_{i,j-1}$ が、変換データ記憶部508へと格納される（ステップ309）。ステップ308および309の演算処理は、変換データ算出部506によって実行される。

【0105】つぎに、ステップ310において、変数 j が所定の定数 m (≥ 2) に一致しているかが判定される。変数 j が定数 m に満たないとき、すなわち、モジュール60_iに対するすべての変換データの算出が完了していないときには、処理はステップ311へと移行し、変数 j が1だけインクリメントされる。すなわち、つぎの新たな駆動制御電圧 V_{bij} が、変換データの算出の対象とされる。そして、処理は、ステップ302へと戻る。逆に、変数 j が定数 m に一致しているとき、すなわち、モジュール60_iに対して、すべての変換データが得られているときには、処理はステップ312へ移行する。

【0106】ステップ312では、変数 i がモジュール60₁～60_nの個数 n へ一致しているかが判定される。変数 i が個数 n に満たないとき、すなわち、モジュール60₁～60_nのすべてに対して、変換データが得られるには至っていないときには、処理はステップ313へと移行し、変数 i が1だけインクリメントされる。すなわち、つぎの新たなモジュール60_iが、変換データの算出の対象とされる。その後、処理は、ステップ301へと戻る。逆に、変数 i が個数 n に一致しているとき、すなわち、モジュール60₁～60_nのすべてに対して、変換データが得られているときには、処理は完了する（ステップ314）。

【0107】以上のように、各モジュール60_iについて、動作範囲内で最も高い飽和電圧 $V_{CE(sat)HI}$ に対する乗算係数 K_i が得られる。このため、電流偏差 ΔI_i の変動を小さく抑え、しかも、速やかにゼロへと収束させる制御が実現する。さらに加えて、モジュール60₁～60_nの各々に対して、個別に乗算係数 K_i が得られる。

【0108】しかも、スイッチング素子80₁～80_nの入出力特性における不均一だけでなく、駆動部70₁～70_nの特性上の不均一、および、モジュール60₁～60_nに接続される配線のレイアウト等に由来する、これらの配線における特性上の不均一も、乗算係数 K_i の値に反映されている。さらに、D/A変換部54などの駆動制御装置50の内部の装置部分における誤差も、乗算

【0104】逆に、変数 j が1より大きいとき、すなわち、変換データ記憶部508に、モジュール60_iに対する駆動制御電圧 V_{bij} とコレクタ電流 I_{ij} の組が、2組以上格納されているときには、処理は、ステップ308へ移行する。ステップ308では、モジュール60_iに関する最も新しい変換データと、その次に新しい変換データとにもとづいて、乗算係数 $K_{i,j-1}$ が算出される。すなわち、

係数 K_i に反映されている。

【0109】したがって、電流不均衡の解消を図る制御が、このような幅広い不均一や誤差をも考慮した適切な変換データにもとづいて、実行することが可能となる。演算部53が、デジタル信号を処理対象としており、特に、演算部53が、プログラムを格納したメモリと、このプログラムにもとづいて動作するCPUとを備えるために、以上に述べた多種類の不均一や誤差を考慮した複雑な制御が、容易に実現される。すなわち、簡単な構成で、様々な誤差要因を吸収した柔軟な制御が、容易に達成される。

【0110】なお、図18における定数 m は、その下限値である“2”に設定されると、乗算係数 K_i として、駆動制御電圧 V_{bi} に依存しない値が得られる。これに対して、定数 m を、より大きい値に設定するほど、乗算係数 K_{ij} が、より多く得られ、それによって、図17に示したグラフの非線形性を、より高い精度で反映した制御が行われ得る。

【0111】また、図18は、乗算係数 K_{ij} の値そのものが、変換データ記憶部508へと格納され、格納された乗算係数 K_{ij} が、図12のステップ106の演算処理に利用される例を示している。これに対して、定数 m を $m \geq 3$ に設定した上で、図18のステップ302～311のループを m 回反復して得られた乗算係数 K_{ij} ($j = 1 \sim m$) にもとづいて、周知の内挿法、あるいは、多項式近似等を用いて、ゲート電圧 V_{GE} とともに滑らかに変化する関数としての乗算係数 $K_i(V_{GE})$ が算出され、この乗算係数 $K_i(V_{GE})$ が変換データ記憶部508へと格納されてもよい。図12のステップ106の演算処理では、乗算係数 $K_i(V_{GE})$ が用いられる。それによって、図17に示したグラフの非線形性を、さらに高い精度で反映した制御が行われ得る。

【0112】＜1-7. 実証試験＞つぎに、複合モジュール250の性能を実証するために行われたコンピュータシミュレーションについて説明する。図19は、シミュレーションの対象とされた複合モジュールを示すブロック図である。この複合モジュール260は、図1に示した複合モジュール250において、個数 n を3に設定したものと同等である。3個のモジュール60₁～60₃の負荷端子 V_+ 、 V_- には、負荷電源261および負荷262が直列に接続されて成る直列回路が、接続されている。

【0113】モジュール60₁～60₃に、それぞれ備わるスイッチング素子は、同一定格のIGBTであり、ここでは、試料Q1、Q2、Q3と称する。試料Q1、Q2、Q3のコレクタ電流 I_c の定格値、すなわち定格電流は、いずれも、100Aに設定されている。したがって、複合モジュール260の定格電流は、300Aとなっている。また、試料Q1、Q2、Q3のゲート電圧 V_{ge} の定格値、すなわち、定格ゲート電圧は、いずれも、15Vに設定されている。

【0114】さらに、図20が試料Q1、Q2、Q3の出力特性を示すように、15Vの定格ゲート電圧が印加されたときに、飽和電圧 $V_{CE(sat)}$ における代表値3.0Vからの偏差が、 $\pm 10\%$ であると設定されている。すなわち、飽和電圧 $V_{CE(sat)}$ における偏差は、試料Q1では、 $+10\%$ 、試料Q2では、 0% 、そして、試料Q3では、 -10% に設定されている。

【0115】図21は、シミュレーションの結果を示すグラフである。入力信号VINは、100 μ secの周期で、アクティブレベルとノーマルレベルとの間を反復する。したがって、試料Q1、Q2、Q3は、10kHzの周波数で、オンおよびオフを反復する。さらに、駆動制御装置50に備わる演算部53(図2)は、図12に示したループを、10 μ secの周期で反復する。

【0116】図21に示すように、動作が開始された時点では、3個の試料Q1、Q2、Q3には、いずれも、ゲート電圧 V_{ge} として、デフォルト値である15Vが入力される(図12のステップ101)。その結果、動作が開始された時点では、複合モジュール260の定格電流300Aが、試料Q1、Q2、Q3の間で、約 $\pm 8\%$ の電流不平衡をもって分担される。このことは、図20のグラフからも、明らかである。すなわち、試料Q1、Q2、Q3のコレクタ電流 I_c は、それぞれ、 $I_c(Q1)=108A$ 、 $I_c(Q2)=100A$ 、および、 $I_c(Q3)=92A$ となる。

【0117】演算部53は、図12に示した演算処理を反復して実行することによって、コレクタ電流 I_c が、平均値である100Aよりも小さい試料Q1に対しては、 $I_c(Q1)$ を増加させるように、ゲート電圧 V_{ge} (駆動制御電圧 V_D に一致する)を上昇させ、コレクタ電流 I_c が、100Aよりも大きい試料Q3に対しては、 $I_c(Q3)$ を減少させるように、ゲート電圧 V_{ge} を下降させ、さらに、コレクタ電流 I_c が、100Aと一致する試料Q2に対しては、 $I_c(Q2)$ をそのまま維持するように、ゲート電圧 V_{ge} には変化を与えない。

【0118】その結果、図21が示すように、動作開始時に存在した約 $\pm 8\%$ の電流不平衡は、わずか、1msecの後には解消され、3個の試料Q1、Q2、Q3のいずれも、定格値の100Aを、互いに等しく負担するようになる。しかも、電流不平衡が、解消されるまでの期間(0～1msecの期間)において、コレクタ電流 $I_c(Q1)$ 、 $I_c(Q2)$ 、および、 $I_c(Q3)$ のいずれも、符号が反転するほ

どの大きな変動を被らない。すなわち、3個の試料Q1、Q2、Q3のコレクタ電流は、滑らかに、かつ、速やかに、互いに等しい大きさへと収束する。このように、複合モジュール260を対象としたシミュレーションを、コンピュータを用いて実行した結果、期待通りの性能が実証された。

【0119】<1-8.応用例>つぎに、複合モジュール250の応用例について説明する。複合モジュール250は、例えば、コンバータ、チョッパ、インバータなどへの利用に、好適である。図22は、複合モジュール250の代表的な利用形態であるインバータにおける複合モジュール250と負荷との関係を示す回路図である。このインバータ270では、2個の複合モジュール250が直列に接続されて成る直列回路が、直流母線P、Nの間に並列に3個介挿されている。そして、2個の直列の複合モジュール250の間の接続部が、負荷271へと接続されている。

【0120】6個の複合モジュール250の各々には、図示しない外部装置が接続され、この外部装置から、入力信号VINが入力される。この入力信号VINは、各直列回路を構成する2個の複合モジュール250が交互にオンおよびオフするように、しかも、3個の直列回路の間で、動作の位相が120°ずつずれるように入力される。その結果、負荷271が適切に駆動される。

【0121】なお、図22に示される6個の複合モジュール250の各々には、3個のスイッチング素子にそれぞれ接続された3個のダイオードが備わっている。これらのダイオードは、スイッチング素子が、オンおよびオフ動作を行う際に、逆電流による影響を受けないように設けられている。

【0122】<2.実施の形態2>図1では、駆動制御装置50が、並列接続されたモジュール60₁～60_nの中の一つである主モジュール60₁の中に組み込まれている例を示した。しかしながら、駆動制御装置50と並列接続された複数のモジュールとの間の関係は、図1に示された形態に限られるものではない。図23は、駆動制御装置50とモジュールとの関係において、図1とは異なる形態の一例を示すブロック図である。

【0123】この複合モジュール280では、駆動制御装置50は、モジュール28₁～28_nのいずれとも独立した装置として構成されている。モジュール28₁～28_nの各々は、図1に示した副モジュール60₂～60_nの各々と同一に構成されている。複合モジュール280においても、駆動制御装置50は、複合モジュール250と同様に動作する。したがって、複合モジュール250と同様の効果が得られる。

【0124】複合モジュール250では、駆動制御装置50がモジュールの一つに一体化されているために、利用に際して、取り扱いが容易であるという利点が見られる。一方、複合モジュール280では、モジュールとし

て、主モジュールと副モジュールの二種類を製造する必要がなく、同一に構成されたモジュールのみで、複合モジュールを構築することができ、製造コストが節減されるという利点が得られる。

【0125】<3.変形例>以上の実施の形態では、駆動制御装置50は、並列に接続されるモジュールの各々に対して、個別に、較正データおよび変換データが作成できるように構成されていた。しかしながら、精度は劣るが、並列に接続されるモジュールの間で共通する代表値（例えば、設計値）を、較正データおよび変換データとして利用するように、駆動制御装置50を構成することも可能である。

【0126】この形態では、演算部53は、電流較正部505および変換データ算出部506を備えなくてもよい。較正データ記憶部507および変換データ記憶部508には、駆動制御装置50が接続されることが予定されているモジュールの定格に応じた設計値が、較正データおよび変換データとして、製造者の側で、あらかじめ書き込まれるとよい。

【0127】このような形態においても、演算部53がデジタル信号を処理対象とするので、従来のアナログ回路で行われる制御に比べると、電流不均衡の解消のための制御が、より高い精度で達成される。また、負の温度特性を有するスイッチング素子に対しても、電流不均衡の解消を図ることができる。

【0128】

【発明の効果】第1の発明の装置では、デジタル信号処理にもとづいて、並列接続された複数個（ n 個）のスイッチング素子の電流偏差を縮小するように、制御信号が反復的に更新される。このため、複数のスイッチング素子の間の電流不均衡、特に、飽和電圧の不均一に由来する電流不均衡の解消が、容易かつ精度良く行われ得る。このため、正の温度係数を有するスイッチング素子だけでなく負の温度係数を有するスイッチング素子に対しても、電流不均一を解消し、特定のスイッチング素子への過大な負担の集中を防止することができる。

【0129】第2の発明の装置では、並列接続される複数個のスイッチング素子の各々ごとに、主電流と電流検出信号との関係を、個別に規定する較正データにもとづいて、主電流への換算が行われるので、主電流検出における検出特性上の不均一、スイッチング素子と駆動制御装置とを接続する配線の特性上の不均一などに由来する誤差を解消して、さらに精度の高い制御が達成される。

【0130】第3の発明の装置では、電流較正部が備わるので、較正データの作成が容易に行い得る。特に、ユーザが接続して利用しようとするスイッチング素子ごとに、ユーザの側で、較正データを作成することが可能である。

【0131】第4の発明の装置では、制御信号が、電流偏差に比例する量だけ変化するように、更新されるの

で、電流偏差の解消、すなわち、電流不平衡の解消が、簡単な演算によって実現される。

【0132】第5の発明の装置では、電流偏差と制御信号の変化量との間の比例関係を、並列接続される複数のスイッチング素子ごとに規定する変換データを用いて、制御信号の更新が行われる。このため、複数のスイッチング素子の間での入出力特性の不均一、スイッチング素子と駆動制御装置とを接続する配線の特性上の不均一などに由来する誤差を解消して、さらに精度の高い制御が達成される。

【0133】第6の発明の装置では、変換データ算出部が備わるので、変換データの作成が容易に行い得る。特に、ユーザが接続して利用しようとするスイッチング素子ごとに、ユーザの側で、変換データを作成することが可能である。

【0134】第7の発明の装置では、 n 個のスイッチング素子が動作中に取り得る最大の飽和電圧の下で、変換データ算出部によって作成された変換データにもとづいて、制御信号の更新が行われる。このため、電流偏差の変動を小さく抑え、しかも、速やかにゼロへと収束させる制御が実現する。

【0135】第8の発明の装置では、演算部がCPUとプログラムを格納するメモリとで、等価的に構成されるので、複雑な回路を用いることなく、様々な誤差要因に対応した柔軟な制御が、容易に達成される。

【0136】第9の発明のモジュールでは、この発明の駆動制御装置が、スイッチング素子と電流検出部とともに、備わっている。このため、このモジュールと、駆動制御装置が備わらない従来周知のモジュールとを、並列に接続することによって、複合モジュールを容易に構築することができる。すなわち、利用に際して、取り扱いが容易であるという効果が得られる。

【0137】第10の発明の複合モジュールでは、この発明の駆動制御装置が、複数のスイッチング素子と複数の電流検出部とともに、備わっている。このため、複数のスイッチング素子の間の電流不均衡が、精度良く解消され、特定のスイッチング素子に負担が偏らない複合モジュールが実現する。

【0138】第11の発明の複合モジュールでは、複数のスイッチング素子と複数の電流検出部とが、1個ずつ、個別のケースの中に組み込まれて、モジュールを構成している。したがって、同一ないし少品種のモジュールを用いて、それらの間を配線などで接続するだけで、個数 n の異なる様々な複合モジュールを、自在に構築することができる。すなわち、製造コストが節減できるという効果が得られる。

【0139】第12の発明の複合モジュールでは、複数のケースの中の一つに、駆動制御装置が、さらに組み込まれることによって、駆動制御装置を備えるモジュールが構成されている。このため、駆動制御装置を備えるモ

ジュールと、駆動制御装置を備えないモジュールとを、並列に接続することによって、複合モジュールを容易に構築することができる。すなわち、駆動制御装置をモジュールとは別体のものとして扱う必要がないので、組立て作業が容易であるという効果が得られる。

【図面の簡単な説明】

【図1】 実施の形態1の複合モジュールのブロック図である。

【図2】 実施の形態1の駆動制御装置のブロック図である。

【図3】 実施の形態1の駆動部のブロック図である。

【図4】 実施の形態1の電流検出部の一例のブロック図である。

【図5】 実施の形態1の電流検出部の他の例のブロック図である。

【図6】 実施の形態1の電流検出部のさらに別の例のブロック図である。

【図7】 実施の形態1の電流検出信号増幅部のブロック図である。

【図8】 IGBTの出力特性の一例を示すグラフである。

【図9】 3個のIGBTの出力特性の不均一を例示するグラフである。

【図10】 3個のIGBTの入出力特性の不均一を例示するグラフである。

【図11】 実施の形態1の演算部のブロック図である。

【図12】 実施の形態1の演算部の動作の手順を示す流れ図である。

【図13】 実施の形態1のコレクタ電流 I_c と電流センス電圧 V_{CSi} との関係を示すグラフである。

【図14】 較正データを作成するための外部装置を示す回路図である。

【図15】 実施の形態1の電流較正部の動作の手順を示す流れ図である。

【図16】 変換データを作成するための外部装置を示す回路図である。

【図17】 IGBTの入出力特性を例示するグラフである。

【図18】 実施の形態1の変換データ算出部の動作の手順を示す流れ図である。

【図19】 シミュレーションの対象とされた複合モジュールのブロック図である。

【図20】 シミュレーションの対象とされた複合モジュールに備わるIGBTの出力特性を示すグラフである。

【図21】 シミュレーションの結果を示すグラフである。

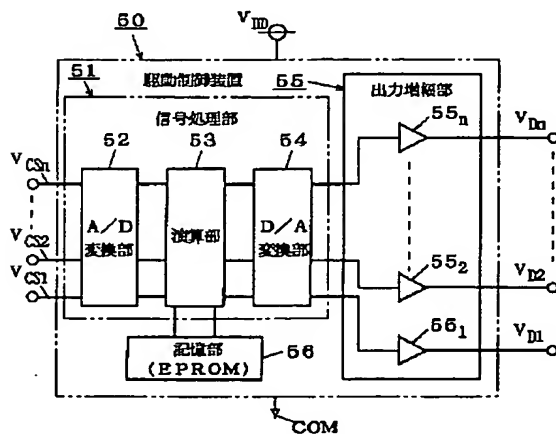
【図22】 複合モジュールの利用形態を例示する回路図である。

【図23】 実施の形態2の複合モジュールのブロック図である。

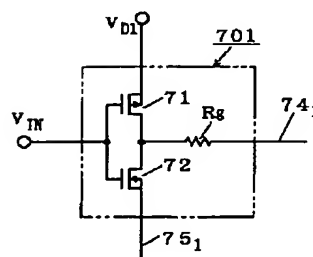
【符号の説明】

50 駆動制御装置、52 A/D変換部、53 演算部、54 D/A変換部、 $80_1 \sim 80_n$ スwitchング素子、 $90_1 \sim 90_n$ 電流検出部、 $28_1 \sim 28_n$ 、 $60_1 \sim 60_n$ モジュール、250、260 複合モジュール、501 電流算出部、502 電流偏差算出部、503 制御信号算出部、505 電流較正部、506 変換データ算出部、507 較正データ記憶部、508 変換データ記憶部、 I_c 、 $I_1 \sim I_n$ コレクタ電流（主電流）、 $\Delta I_1 \sim \Delta I_n$ 電流偏差、 $V_{CE(sat)}$ 飽和電圧、 $V_{CS1} \sim V_{CSn}$ 電流センス電圧（電流検出信号）、 $V_{D1} \sim V_{Dn}$ 駆動制御電圧（制御信号）、 V_{GE} ゲート電圧（制御信号）。

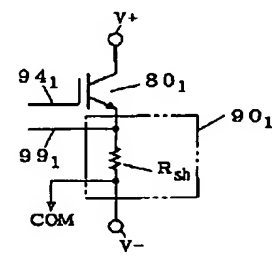
【図2】



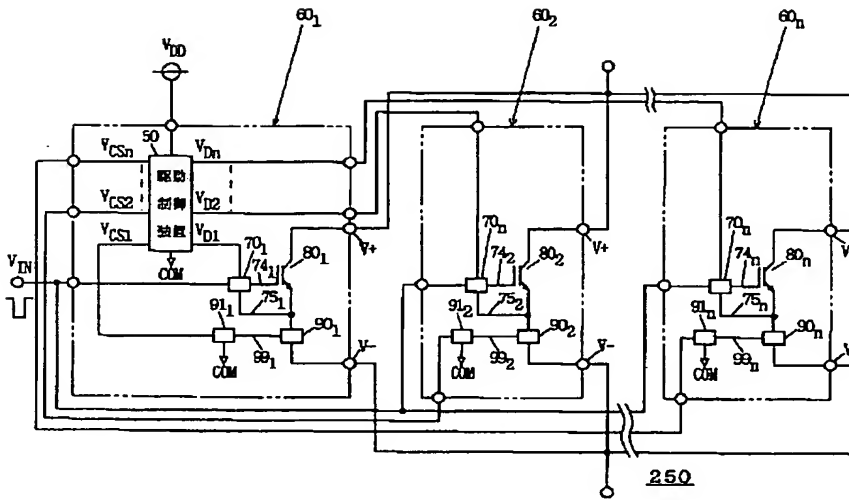
【図3】



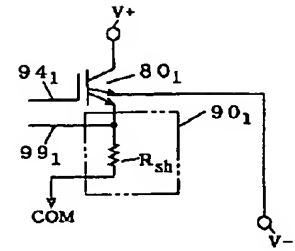
【図4】



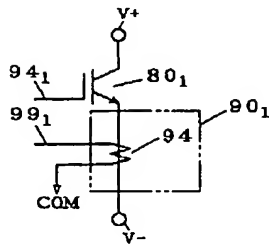
【図1】



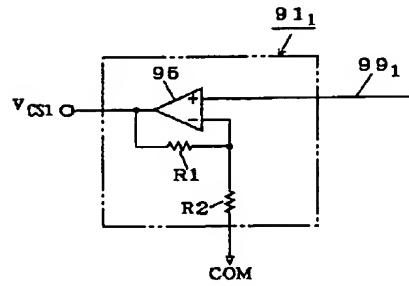
【図5】



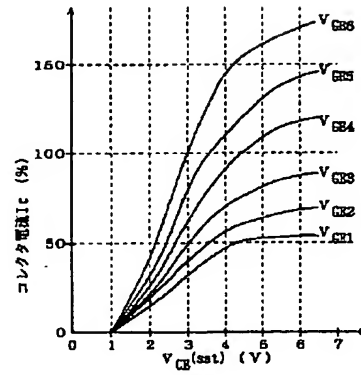
【図6】



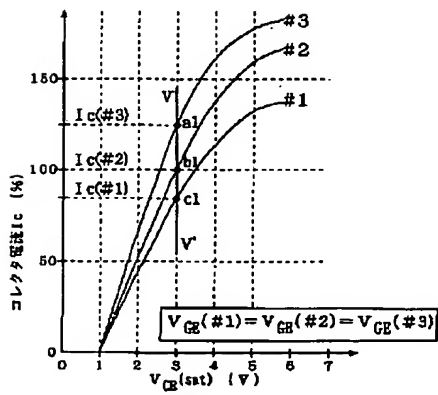
【図7】



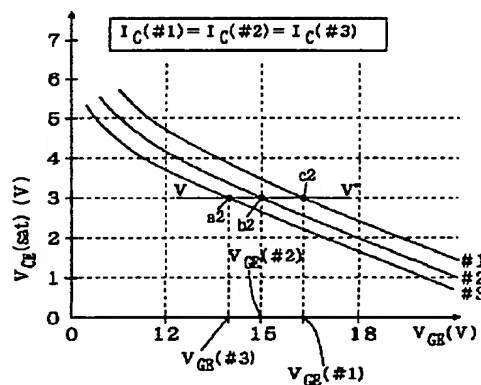
【図8】



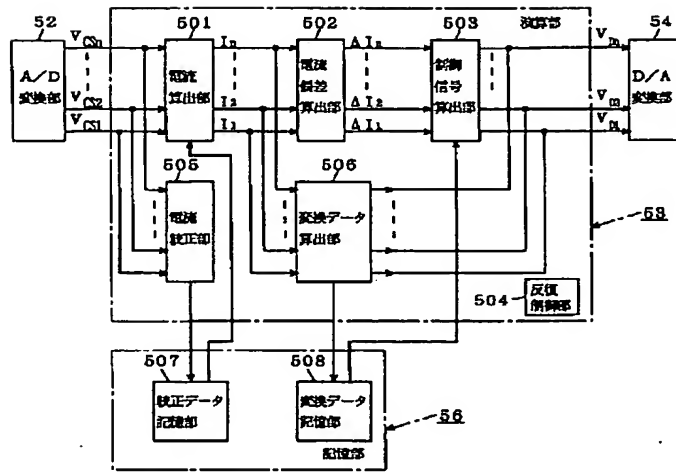
【図9】



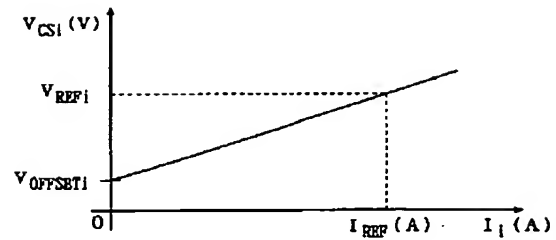
【図10】



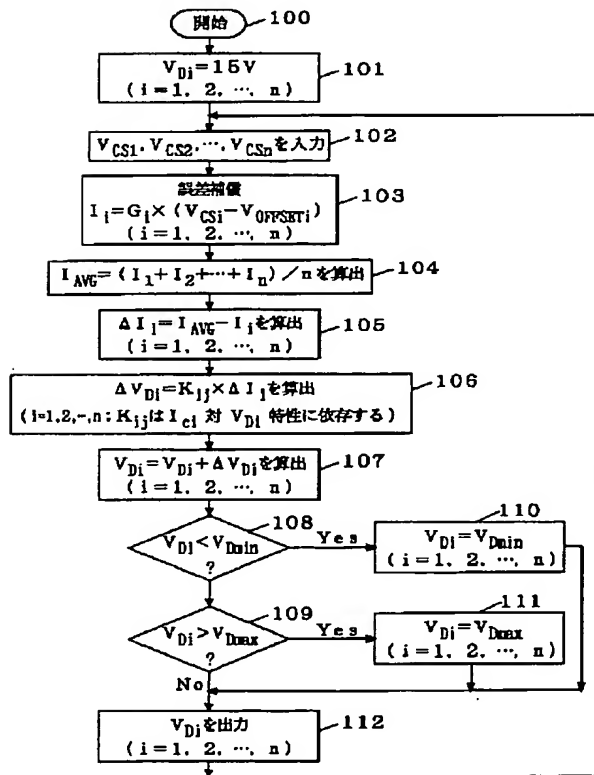
【図11】



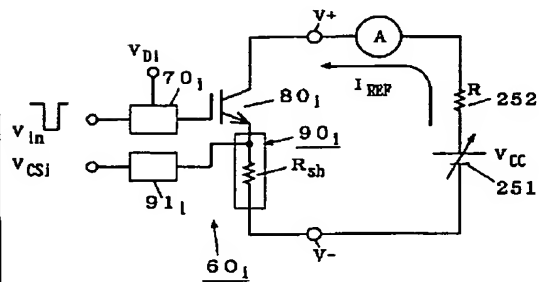
【図13】



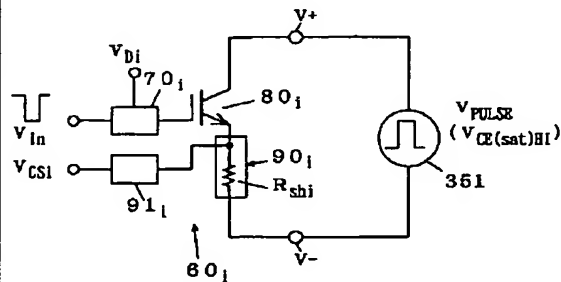
【図12】



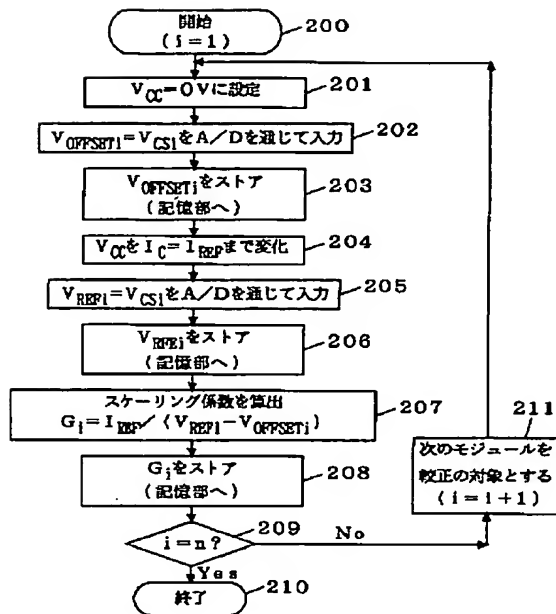
【図14】



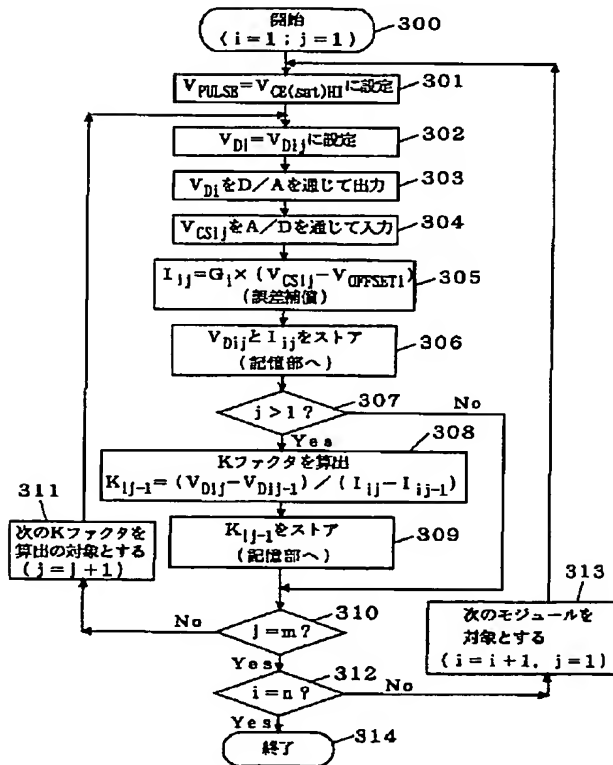
【図16】



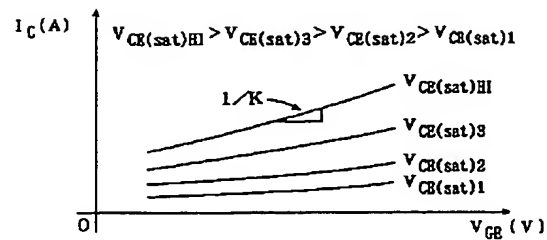
【図15】



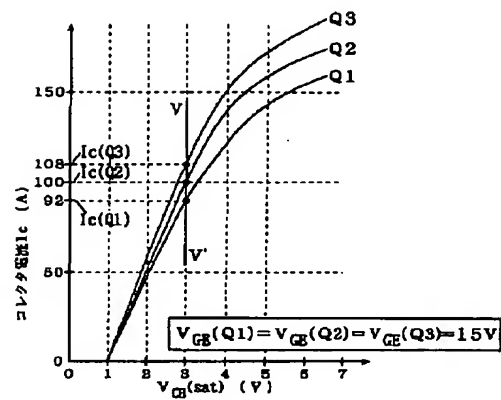
【図18】



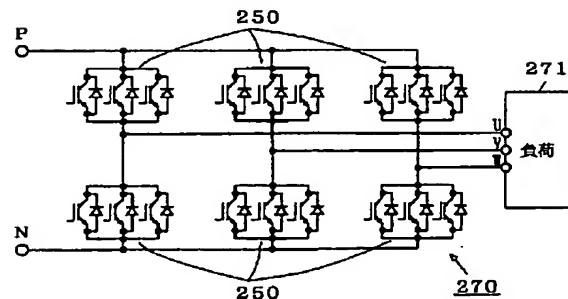
【図17】

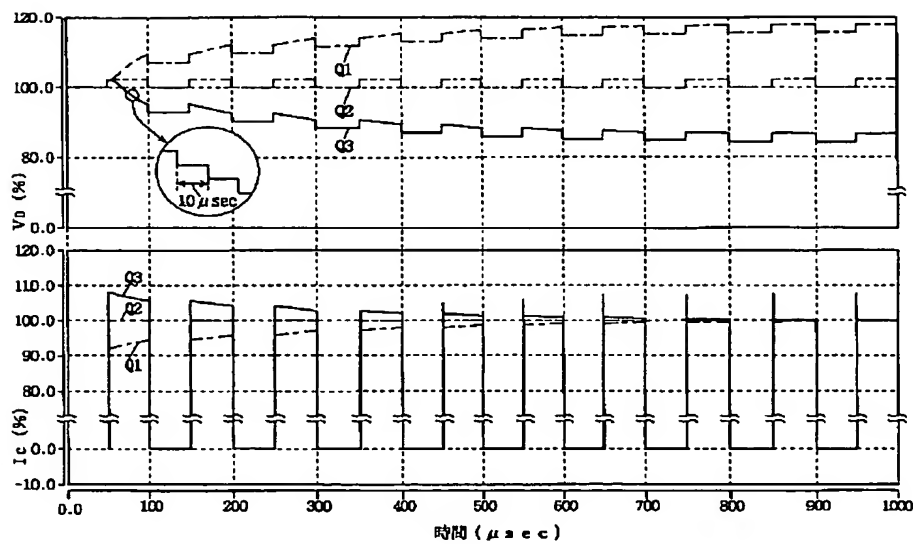
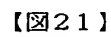


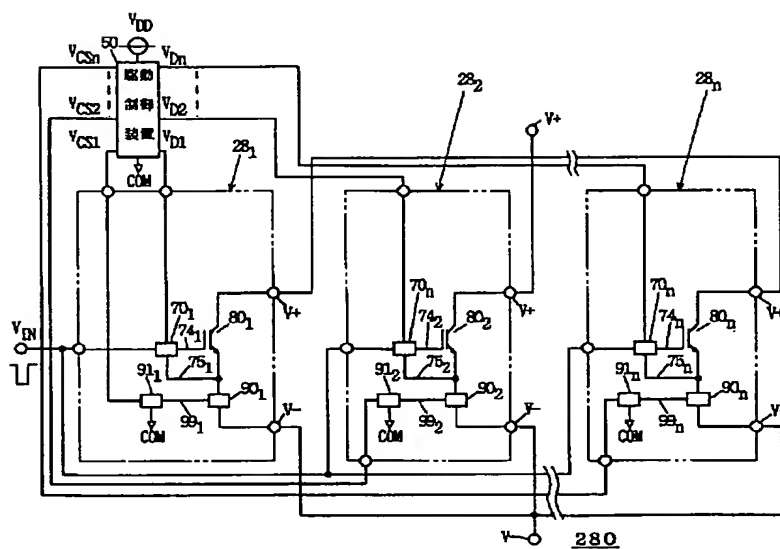
【図20】



【図22】







F ターム(参考)	5H740	BA11	BB02	BB09	JA01	JA23
		JA25	JA28	JA29	MM11	MM18
	5J055	AX11	BX16	CX07	CX19	DX04
		DX09	DX22	DX73	EX07	EX11
		EY01	EZ05	EZ07	EZ09	EZ24
		EZ29	EZ30	EZ39	FX04	FX31
		FX32	GX01	GX02	GX03	GX06